

(Translation)

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following
application as filed with this Office.

Date of Application : December 3, 2002

Application Number : Patent Appln. No. 2002-351832

Applicant(s) : SHARP KABUSHIKI KAISHA

Wafer
of the
Patent
Office

November 5, 2003

Yasuo IMAI

Commissioner,
Patent Office

Seal of
Commissioner
of
the Patent
Office

Appln. Cert. No.

Appln. Cert. Pat. 2003-3091487

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月 3日
Date of Application:

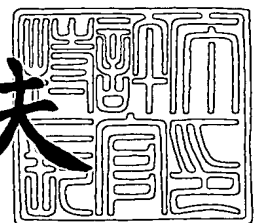
出願番号 特願2002-351832
Application Number:
[ST. 10/C]: [JP2002-351832]

出願人 シャープ株式会社
Applicant(s):

2003年11月 5日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3091487

【書類名】 特許願

【整理番号】 02J03865

【提出日】 平成14年12月 3日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/40

H01L 21/20

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 森本 英徳

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 井上 剛至

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100078282

【弁理士】

【氏名又は名称】 山本 秀策

【選任した代理人】

【識別番号】 100062409

【弁理士】

【氏名又は名称】 安村 高明

【選任した代理人】

【識別番号】 100107489

【弁理士】

【氏名又は名称】 大塩 竹志

【手数料の表示】**【予納台帳番号】** 001878**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0208587**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体記憶装置およびそのデータ書き込み制御方法

【特許請求の範囲】

【請求項 1】 入力アドレス情報に対応したメモリセルを選択してデータ消去動作を含むメモリ動作を行う半導体記憶装置において、

該メモリセルは、一対の電極間に印加される電圧値によって、該電極間の抵抗値が可逆的に変化し、電圧印加後も抵抗値を保持する可変抵抗素子と、該可変抵抗素子に接続されたMOSトランジスタとを有する半導体記憶装置。

【請求項 2】 前記可変抵抗素子は、前記電極間に印加される電圧値を制御することによって、該可変抵抗素子の抵抗値が複数の重複しない範囲内に達するように設定可能である請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記可変抵抗素子の電極間は、ペロブスカイト型結晶構造を有する材料で形成されている請求項 1 または 2 に記載の半導体記憶装置。

【請求項 4】 前記メモリセルは、前記MOSトランジスタの一方の駆動領域が前記可変抵抗素子を介してビット線に接続され、該MOSトランジスタのゲート電極がワード線に接続される請求項 1 に記載の半導体記憶装置。

【請求項 5】 前記ビット線に所定の極性の電圧が印加され、前記ワード線に該所定の極性の電圧よりも低い電圧が印加されることにより、所定のメモリセルが選択されてデータ書き込みが実行される請求項 4 に記載の半導体記憶装置。

【請求項 6】 前記ビット線に前記所定の極性の電圧とは異なる逆の極性の電圧が印加され、前記ワード線に該所定の極性の電圧よりも低い電圧が印加されることにより、所定のメモリセルが選択されてデータ消去が実行される請求項 4 に記載の半導体不揮発性メモリ装置。

【請求項 7】 請求項 1 ～ 6 のいずれかに記載の半導体記憶装置のデータ書き込み制御方法であって、

前記入力アドレス情報に対応したメモリセルにデータ書き込み電圧を印加する第 1 の工程と、

該データ書き込み電圧の印加後、前記可変抵抗素子の抵抗値が所定の範囲内に達しているかどうかを判定する第 2 の工程と、

該可変抵抗素子の抵抗値が所定の範囲以下の場合、該データ書き込み電圧よりも高いデータ書き込み電圧を、再度、該メモリセルに印加する第3の工程と、

該可変抵抗素子の抵抗値が所定の範囲内に達するまで該第2の工程および第3工程を繰り返す第4の工程と、

を包含する半導体記憶装置のデータ書き込み制御方法。

【請求項8】 請求項1～6のいずれかに記載の半導体記憶装置のデータ書き込み制御方法であって、

所定の前記メモリセルにデータ書き込み電圧を印加する第1の工程と、

該データ書き込み電圧の印加後、前記可変抵抗素子の抵抗値が所定の範囲に達しているかどうかを判定する第2の工程と、

該可変抵抗素子の抵抗値が所定の範囲以下の場合、該データ書き込み電圧より高いデータ書き込み電圧を、再度、該メモリセルに印加する第3の工程と、

該可変抵抗素子の抵抗値が所定の範囲内に達するまで該第2の工程および第3工程を繰り返す第4の工程と、

該第2の工程で該可変抵抗素子の抵抗値が所定の範囲を超えている場合、該可変抵抗素子にデータ消去電圧を印加する第5の工程と、

データ消去電圧の印加後、該可変抵抗素子の抵抗値がデータ消去範囲内に達しているかどうかを判定する第6の工程と、

該可変抵抗素子の抵抗値がデータ消去範囲内に達するまで該第5の工程および第6の工程を繰り返した後、該データ書き込み電圧を印加する第7の工程と、

を包含する半導体記憶装置のデータ書き込み制御方法。

【請求項9】 前記第3の工程にて前記高いデータ書き込み電圧を印加する際に、該高いデータ書き込み電圧の印加時間を、前記第1の工程にて印加する前記データ書き込み電圧の印加時間より短く設定している請求項7または8に記載の半導体記憶装置のデータ書き込み制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数のメモリセルが設けられた半導体記憶装置およびそのデータ書

き込み制御方法に関する。

【0002】

【従来技術】

近年、不揮発性メモリ等の半導体記憶装置は、高集積度、データの高速処理等の高性能化が著しく進歩し、特に、不揮発性メモリであるフラッシュメモリは、携帯電話等の個人端末用小型情報機器に多く用いられている。フラッシュメモリは、EEPROM (Electrically Erasable Programmable Read Only Memory) の1つの形式である。フラッシュメモリの各メモリセルは、電氣的に分離された浮遊 (フローティング) ゲートが設けられたMOSトランジスタから形成されている。

【0003】

図8は、フラッシュメモリのメモリセルの模式的な断面図である。図8に示すように、メモリセル100は、半導体基板101の上部に、ドレイン領域102およびソース領域103が所定の間隔をあけて形成されている。ソース領域103およびドレイン領域102は、それぞれ異なる導電性を生じるドーパント (不純物元素) によってドーピングされている。ドレイン領域102、ソース領域103および半導体基板101の表面は、ゲート絶縁膜である第1絶縁層104によって被覆されている。ドレイン領域102とソース領域103との間の半導体基板101上には、第1絶縁層104を介してポリシリコンから成る浮遊ゲート105、第2絶縁層106およびポリシリコンから成る制御 (コントロール) ゲート107が順番に形成されている。浮遊ゲート105は、メモリセルの完成時には、両端面を絶縁層 (図示せず) 覆われており、このため、電氣的に浮遊状態となる。第2絶縁層106は、浮遊ゲート105と制御ゲート107との間を電氣的に分離している。

【0004】

一般的に、フラッシュメモリは、各メモリセル100のドレイン領域102とソース領域103との間のチャネル層に生じるホットエレクトロンを浮遊ゲート105に注入することによってデータ書き込み (プログラム) 状態となる。例えば、ドレイン領域102とソース領域103との間に印加される高電界によって

、チャネル層には、大きな電流が流れ、ドレイン領域102側の電界の高い部分にて、ホットエレクトロンが発生する。これにより、発生したホットエレクトロンが浮遊ゲート105に注入され、データ書き込み状態となりメモリセル100を形成するMOSトランジスタのトランジスタ特性としての閾値電圧 (V_{th}) が変化する。閾値電圧 (V_{th}) は、メモリセルのソース領域103およびドレイン領域102間を導通状態とするために、制御ゲート107に印加される電圧の最小値と定義される。この閾値電圧 (V_{th}) は、浮遊ゲート105に蓄積される電荷の量によって制御される。

【0005】

図9は、図8に示すメモリセル100のデータ書き込み時の電圧条件を表す模式図である。

【0006】

メモリセル100がデータ書き込みモードでは、制御ゲート107に約12Vのプログラム電圧、ドレイン領域102に約6Vのドレイン電圧、ソース領域103および半導体基板101であるチャネル領域に0Vの基準電圧が印加される。

【0007】

このような電圧条件によって、上記のようにドレイン領域102側の電界の高い部分にて、発生したホットエレクトロンが制御ゲート107に印加された約12Vのプログラム電圧によって、第1絶縁層104を介して浮遊ゲート105に注入され、浮遊ゲート105は、負の電荷にチャージされる。この結果、メモリセル100は、データ書き込み（プログラム）状態となる。

【0008】

データ書き込み（プログラム）状態では、電子（ホットエレクトロン）が浮遊ゲート105に集まり、メモリセルの V_{th} は上昇し、この場合のメモリセル100の V_{th} がデータ書き込み（プログラム）閾値電圧になる。そして、上記電圧条件が変更されて、浮遊ゲート105から電子（負の電荷）が引き抜かれてメモリセルの V_{th} が低下すると、メモリセル100はデータ消去状態とまる。

【0009】

図10は、一般的な2値フラッシュメモリ内に設けられたメモリセルの閾値電圧の分布を示すグラフである。図10の横軸はメモリセルの閾値電圧 (V_{th})、縦軸はメモリセルの個数をそれぞれ表している。尚、横軸の中央の基準閾値電圧は、データ読出し時のデータ読出し電圧を表している。

【0010】

図10に示す2値フラッシュメモリは、通常、メモリセルの浮遊ゲートから電子（負の電荷）が引き抜かれている状態がデータ消去状態であり、その時のデータを「1」とする。メモリセルの浮遊ゲートに電子が注入された状態がデータ書き込み状態で、その時のデータを「0」とする。

【0011】

これにより、図10の基準閾値電圧より低い領域は、データ消去状態のメモリセルのデータ消去閾値電圧の分布を示し、基準閾値電圧より高い領域は、データ書き込み状態のメモリセルのデータ書き込み閾値電圧の分布を示す。

【0012】

データ消去状態のメモリセルは、閾値電圧分布のピーク値の閾値電圧が低くなり、データ書き込み状態のメモリセルは、閾値電圧分布のピーク値の閾値電圧が高くなる。このため、例えばメモリセルの制御ゲートに印加される電圧が同じであれば、データ消去状態のメモリセルには、データ書き込み状態のメモリセルより大きな電流が流れる。このように、データ消去状態のメモリセルおよびデータ書き込み状態のメモリセルのそれぞれの電流値が異なることを利用して、メモリセル内のデータの状態（データの有無等）を確認することがデータ読み出し動作またはデータのベリファイ（検証）動作である。

【0013】

データ読み出しは、予め上記の基準閾値電圧が設定されているリファレンスセルに流れる電流と、データ読み出しが行われるメモリセルに流れる電流とを検出し、これらの電流値を比較することによって行われる。

【0014】

このような電流値の比較は、メモリセルおよびリファレンスセルに接続されているビット線に流れる電流をセンス回路 (Sense Amplifier) に

て検出して、メモリセル内のデータを判定している。

【0015】

また、フラッシュメモリは、図8に示すメモリセル100の浮遊ゲート105に蓄積される電荷の量を制御することによって、データ書き込み閾値電圧を所定の値に変化させ、異なる情報である多値情報のデータ書き込みが可能となる。

【0016】

図11は、多値情報のデータ書き込み可能な多値フラッシュメモリ内に設けられたメモリセルの閾値電圧の分布の一例を示すグラフである。ここで、図11は、説明を簡略にするため、1つのメモリセルのデータ量が2ビットである4値フラッシュメモリの場合のグラフである。図11の横軸はメモリセルの閾値電圧、縦軸はメモリセルの個数をそれぞれ表している。尚、横軸の基準閾値電圧A、BおよびCは、データ読出し時のデータ読出し電圧を表している。

【0017】

4値フラッシュメモリ内の各メモリセルは、それぞれのメモリセルがデータ消去状態および3種類のデータ書き込み状態の4つの状態を選択的に取り得る。メモリセル内の4つの閾値電圧分布のピーク値を示す閾値電圧の最も低い状態がデータ消去状態であり、データ消去状態以外のデータ書き込み状態が3つの異なる閾値電圧分布によって3段階に分けられる。メモリセルが上記の4つの状態を選択的に取り得る場合、メモリセル内のデータ格納状態を確認するデータ読み出し動作では、図11に示すように、データ読み出しのための3つの基準となる基準閾値電圧A、BおよびCが設定されている。

【0018】

図11に示すメモリセルでは、1つのメモリセルに2ビットのデータを格納する場合、閾値電圧分布のピーク値の閾値電圧が低い順にデータを「11」、「10」、「01」、「00」と定義し、データ「11」がデータ消去状態である。また、データが「10」、「01」および「00」となるデータ書き込み状態では、図10に示す2値フラッシュメモリと比較して、各データに対応するそれぞれの閾値電圧分布の範囲が狭くなるため、浮遊ゲートの電荷の量を慎重に制御して、いずれの場合もメモリセルの閾値電圧分布のバラツキが小さくなるように設

定されている。

【0019】

図11に示すように、多値情報の記憶可能な多値フラッシュメモリは、メモリセルの数を増加させることなく、記憶容量を増加させることができるため、記憶容量の大容量化または同一記憶容量での回路規模の小型化に有効な手段となる。

【0020】

図12は、図10または図11に示すフラッシュメモリにデータ書き込み（プログラム）を行う場合のフローチャートである（例えば、特許文献1参照）。ここで、各メモリセルは、それぞれのメモリセルの制御ゲートが所定のワード線WLそれぞれ接続され、それぞれのメモリセルのドレイン領域が所定のビット線BLそれぞれ接続され、それぞれのメモリセルは、マトリクス状に配置されている（図示せず）。

【0021】

まず、データ消去（イレース）状態のメモリセルを選択し、選択されたメモリセルにデータ書き込みを開始する（ステップS501）。

【0022】

次に、第1データ書き込み（プログラム）電圧を以下に示す所定の条件に設定する（ステップS502）。

【0023】

① $V_{wl} = V_{01}$ （ワード線WLへの印加電圧）

② $V_{bl} = V_{02}$ （ビット線BLへの印加電圧）

③ $t = t_{01}$ （ V_{wl} および V_{bl} の電圧幅）

例えば、4値フラッシュメモリでは、 $V_{wl} = 8.0\text{ V}$ 、 $V_{bl} = 5.0\text{ V}$ を印加する。2値フラッシュメモリの場合、 $V_{wl} = 12.0\text{ V}$ を印加するが、4値フラッシュメモリの場合は、各データに対応するメモリセルの閾値電圧（ V_{th} ）の変動幅が小さくなるため $V_{wl} = 8.0\text{ V}$ と低くすることが可能となり、高電圧を発生するチャージポンプ回路の負荷を軽減することができる。

【0024】

次に、選択されたメモリセルに V_{wl} および V_{bl} の第1データ書き込み電圧

を印加し、電圧幅 t_{01} の間保持する（ステップ S503）。

【0025】

次に、データ書き込み（プログラム）されたメモリセルの閾値電圧のベリファイ（検証）を行う（ステップ S504）。ベリファイは、メモリセルの閾値電圧を検証し、メモリセルに期待値通りのデータ（情報）が書き込まれたかどうかを調べる工程である。

【0026】

次に、データ書き込みされたメモリセルの閾値電圧が所定の範囲内に入っていれば終了であり（ステップ S505 および S506）、データ書き込みされたメモリセルの閾値電圧が所定の範囲を超えると、メモリセルへのデータ書き込みは失敗となる（ステップ S507 および S508）。データ書き込みされたメモリセルの閾値電圧が所定の範囲内に達しないと（ステップ S507）、再度、メモリセルに対して、データ書き込みのためのデータ書き込み電圧の印加およびベリファイ動作を行う必要がある。

【0027】

この場合、第1データ書き込み電圧の V_{w1} を所定の電圧値（ ΔV ）、例えば 0.5 V だけ増加させ、 $V_{w1} = 8.5 V$ にする（ステップ S509）。

【0028】

次に、第2データ書き込み電圧を以下に示す所定の条件に設定する（ステップ S510）。

【0029】

$$\textcircled{1} V_{w1} = V_{03} (= V_{01} + \Delta V)$$

$$\textcircled{2} V_{b1} = V_{02}$$

$$\textcircled{3} t = t_{02} \quad (t_{02} < t_{01})$$

第2データ書き込み電圧の電圧幅 t_{02} は、第1データ書き込み電圧の電圧幅 t_{01} より短く設定され、第2データ書き込み電圧の印加時間が短縮されている。

【0030】

次に、第2データ書き込み電圧の V_{w1} 、および、メモリセルへのデータ書き込み（プログラム）回数が、共に最大値になるまでは（ステップ S511 および

S 5 1 2)、メモリセルの閾値電圧が所定範囲内に達するようにステップ S 5 0 3 ~ S 5 1 2 を繰り返す。

【0031】

次に、データ書き込み電圧の V_{w1} 、および、メモリセルへのデータ書き込み（プログラム）回数が、共に最大値に達すると（ステップ S 5 1 1 および S 5 1 2）、メモリセルへのデータ書き込みは失敗となる（ステップ S 5 0 8）。また、上記ステップ S 5 0 7 および S 5 0 8 に示すように、データ書き込みされたメモリセルの閾値電圧が所定の範囲を超えてしまった場合、フラッシュメモリはセルアレイの構成上、1 ビットデータのデータ消去が出来ないため、このメモリセルへのデータ書き込みは失敗となる。

【0032】

【特許文献1】

米国特許第 5 4 4 0 5 0 5 号明細書

【0033】

【発明が解決するための課題】

フラッシュメモリは、記憶容量の大容量化がさらに要求される傾向にあり、例えば、多値情報のレベルが、4 値から 16 値へと増加するに従い、各データに対応するそれぞれのメモリセルの閾値電圧分布の範囲がさらに狭くなる。このため、図 12 に示す方法により、メモリセルに対して慎重にデータ書き込みを行っても、メモリセルを形成する MOS トランジスタのトランジスタ特性のバラツキ等などにより、所定の閾値電圧範囲を超えてしまい、メモリセルに誤ったデータ書き込みが行われる場合がある。

【0034】

この場合、メモリセルのデータ（情報）をデータ消去して、再度、データ書き込みを行う必要があるが、フラッシュメモリは、セルアレイの構成上、ブロック毎のデータ消去を行うため、任意のブロック内の 1 ビット分のメモリセルが誤ってデータ書き込みされても、このブロック内の他のデータ消去の必要のないデータ（情報）を一度別のブロックにデータ書き込みを行い、このブロック内のデータ消去を行った後、再度、このブロックにデータ書き込みを行う必要がある。

【0035】

これにより、フラッシュメモリは、メモリセルのデータ消去時間がミリ秒単位となり、メモリセルのデータ書き込み時間のマイクロ秒単位と比較して非常に時間がかかり、上記方法を用いてフラッシュメモリの各メモリセルにデータ書き込みを行うとデータ書き込み（プログラム）時間が非常に長くなる。

【0036】

本発明は、このような課題を解決するものであり、その目的は、メモリセル毎にデータ消去が可能であり、データ書き込みが高速（短時間）および高精度で実行できる半導体記憶装置およびそのデータ書き込み制御方法を提供することにある。

【0037】

【課題を解決するための手段】

本発明の半導体記憶装置は、入力アドレス情報に対応したメモリセルを選択してデータ消去動作を含むメモリ動作を行う半導体記憶装置において、該メモリセルは、一対の電極間に印加される電圧値によって、該電極間の抵抗値が可逆的に変化し、電圧印加後も抵抗値を保持する可変抵抗素子と、該可変抵抗素子に接続されたMOSトランジスタとを有するものであり、そのことにより上記目的が達成される。

【0038】

また、好ましくは、本発明の半導体記憶装置において、前記可変抵抗素子は、前記電極間に印加される電圧値を制御することによって、該可変抵抗素子の抵抗値が複数の重複しない範囲内に達するように設定可能である。

【0039】

さらに、好ましくは、本発明の半導体記憶装置は、前記可変抵抗素子の電極間は、ペロブスカイト型結晶構造を有する材料で形成されている。

【0040】

さらに、好ましくは、本発明の半導体記憶装置において、前記メモリセルは、前記MOSトランジスタの一方の駆動領域が前記可変抵抗素子を介して該ビット線に接続され、該MOSトランジスタのゲート電極がワード線に接続される。

【0041】

さらに、好ましくは、本発明の半導体記憶装置は、前記ビット線に所定の極性の電圧が印加され、前記ワード線に該所定の極性の電圧よりも低い電圧が印加されることにより、所定のメモリセルが選択されてデータ書き込みが実行される。

【0042】

さらに、好ましくは、本発明の半導体記憶装置は、前記ビット線に前記所定の極性の電圧とは異なる逆の極性の電圧が印加され、前記ワード線に該所定の極性の電圧よりも低い電圧が印加されることにより、所定のメモリセルが選択されてデータ消去が実行される。

【0043】

本発明の半導体記憶装置のデータ書き込み制御方法は、請求項1～6のいずれかに記載の半導体記憶装置のデータ書き込み制御方法であって、前記入力アドレス情報に対応したメモリセルにデータ書き込み電圧を印加する第1の工程と、該データ書き込み電圧の印加後、前記可変抵抗素子の抵抗値が所定の範囲内に達しているかどうかを判定する第2の工程と、該可変抵抗素子の抵抗値が所定の範囲以下の場合、該データ書き込み電圧よりも高いデータ書き込み電圧を、再度、該メモリセルに印加する第3の工程と、該可変抵抗素子の抵抗値が所定の範囲内に達するまで該第2の工程および第3工程を繰り返す第4の工程と、を包含するものであり、そのことにより上記目的が達成できる。

【0044】

本発明の半導体記憶装置のデータ書き込み制御方法は、請求項1～6のいずれかに記載の半導体記憶装置のデータ書き込み制御方法であって、前記入力アドレス情報に対応したメモリセルにデータ書き込み電圧を印加する第1の工程と、該データ書き込み電圧の印加後、前記可変抵抗素子の抵抗値が所定の範囲内に達しているかどうかを判定する第2の工程と、該可変抵抗素子の抵抗値が所定の範囲以下の場合、該データ書き込み電圧よりも高いデータ書き込み電圧を、再度、該メモリセルに印加する第3の工程と、該可変抵抗素子の抵抗値が所定の範囲内に達するまで該第2の工程および第3工程を繰り返す第4の工程と、該可変抵抗素子の抵抗値が所定の範囲を超えている場合、該可変抵抗素子にデータ消去電圧を印

加する第5の工程と、データ消去電圧の印加後、該可変抵抗素子の抵抗値がデータ消去範囲に達しているかどうかを判定する第6の工程と、該可変抵抗素子の抵抗値がデータ消去範囲内に達するまで該第5の工程および第6の工程を繰り返した後、該データ書き込み電圧を印加する第7の工程と、を包含するものであり、そのことにより上記目的が達成できる。

【0045】

また、好ましくは、本発明の半導体記憶装置のデータ書き込み制御方法は、前記第3の工程にて前記高いデータ書き込み電圧を印加する際に、該高いデータ書き込み電圧の印加時間を、前記第1の工程にて印加する前記データ書き込み電圧の印加時間より短く設定している。

【0046】

上記構成により、以下、その作用を説明する。

【0047】

本発明の半導体記憶装置は、メモリセルが、1対の電極間に印加される電圧値によって、電極間の抵抗値が可逆的に変化し、電圧印加後も抵抗値を保持する材料から成る可変抵抗素子と、可変抵抗素子の一方端子がドレイン領域に接続されたMOSトランジスタとを有するために、メモリセルのアドレスに応じてワード線およびビット線を選択することによりMOSトランジスタが選択され、ビット線を介して可変抵抗素子にデータ書き込み電圧またはデータ消去電圧を印加することにより、データ書き込み動作またはデータ消去動作を行う。

【0048】

これにより、本発明の半導体記憶装置は、多値情報の記憶が可能であるとともに、誤ってデータ書き込みが行われた場合でも、メモリセル毎に誤って書き込まれたデータ（ビット）を1ビット単位でデータ消去が実行できるので、高速（短時間）でデータ書き込み動作が可能となる。

【0049】

【発明の実施形態】

以下、図面を参照しながら本発明の実施の形態を説明する。

【0050】

図1は、本発明の半導体記憶装置に用いられる不揮発性半導体メモリセルの模式図である。

【0051】

図1に示す不揮発性半導体メモリセル20は、ゲート電極11、ソース領域12およびドレイン領域13が設けられたMOSトランジスタと、ドレイン領域13に接続されたメモリ担体である可変抵抗素子14とを有し、MOSトランジスタおよび可変抵抗素子14は、半導体基板（図示せず）上に形成されている。

【0052】

不揮発性半導体メモリセル20のメモリ担体である可変抵抗素子14は、可変抵抗素子14の端子間に電圧が印加されることによって連続的に抵抗値が可逆変化する特性を有している。可変抵抗素子14は、可変抵抗素子14の端子間への電圧印加後も、その抵抗値を保持できる。

【0053】

可変抵抗素子14は、例えば、米国特許第6204139号明細書に開示されている超巨大磁気抵抗および高温超伝導を示すペロブスカイト型結晶構造を有する材料である $\text{Pr}_{(1-X)}\text{Ca}_X\text{MnO}_3$ 、 $\text{La}_{(1-X)}\text{Ca}_X\text{MnO}_3$ 、 $\text{Nd}_{(1-X)}\text{Sr}_X\text{MnO}_3$ ($0 < x < 1$) 等を用いれば良い。

【0054】

$\text{Pr}_{(1-X)}\text{Ca}_X\text{MnO}_3$ 、 $\text{La}_{(1-X)}\text{Ca}_X\text{MnO}_3$ 、 $\text{Nd}_{(1-X)}\text{Sr}_X\text{MnO}_3$ ($0 < x < 1$) 等を用いて形成された可変抵抗素子14は、その両端子にパルス電圧を印加すると、図7に示すようにパルス電圧の印加回数によって、可変抵抗素子14の抵抗値が連続的に変化する。

【0055】

これにより、メモリ担体として可変抵抗素子14が設けられた不揮発性半導体メモリセル20は、浮遊ゲートに注入される電荷の量によって閾値電圧を連続して変化させ多値情報の記憶が可能であるフラッシュメモリのメモリセルと同様に、可変抵抗素子14の抵抗値の変化量を制御することによって多値情報の記憶が可能となる。

【0056】

図2は、本発明の実施形態である半導体記憶装置であるメモリアレイの一例を示す構成図である。

【0057】

図2に示すメモリアレイ30は、図1に示す各不揮発性半導体メモリセル20のゲート電極11がワード線WL00～WL0n-1にそれぞれ接続され、各不揮発性半導体メモリセルの駆動領域であるドレイン領域に接続された可変抵抗素子14がビット線BL00～BL0n-1にそれぞれ接続されている。これにより、各不揮発性半導体メモリセル20は、マトリクス状に配置されている。

【0058】

メモリアレイ30の各不揮発性半導体メモリセル20は、それぞれ所定の制御電圧が印加されるワード線WL00～WL0n-1およびビット線BL00～BL0n-1によって選択され、それぞれの不揮発性半導体メモリセル20において、データ書き込み、データ消去およびデータ読み出しが実行される。

【0059】

ここで、図2の点線円内のワード線WL02およびビット線BL02によって選択された不揮発性半導体メモリセル20のデータ書き込み、データ消去およびデータ読み出しを説明する。

【0060】

選択された不揮発性半導体メモリセル20のデータ書き込みは、ワード線WL02に例えば $V_{w1} = 3.0\text{ V}$ 、ビット線BL02に例えば $V_{b1} = 5.0\text{ V}$ を印加し、選択されていないワード線WL00、WL01、WL03～WL0n-1およびビット線BL00、BL01、BL03～BL0n-1には、 $V_{w1} = V_{b1} = 0\text{ V}$ に設定することによって、選択された不揮発性半導体メモリセル20の可変抵抗素子14の抵抗値が初期状態から変化する。これにより、可変抵抗素子14の抵抗値の変化量に対応するデータが書き込まれる。

【0061】

選択された不揮発性半導体メモリセル20のデータ消去は、ワード線WL02に例えば $V_{w1} = 3.0\text{ V}$ 、ビット線BL02に例えば $V_{b1} = -5.0\text{ V}$ を印加し、選択されていないワード線WL00、WL01、WL03～WL0n-1

およびビット線 $BL00$ 、 $BL01$ 、 $BL03 \sim BL0n-1$ には、 $V_{wl} = V_{bl} = 0V$ に設定することによって、選択された不揮発性半導体メモリセル 20 の可変抵抗素子 14 の抵抗値がデータ消去（初期）状態に戻る。これにより、可変抵抗素子 14 の抵抗値の変化量に対応したデータが消去される。

【0062】

このように、図 2 のメモリアレイ 30 の構成では、ビット線 $BL02$ に印加する電圧の極性を反対にだけで、選択された不揮発性半導体メモリセル 20 へのデータ書き込みおよびデータ消去が実行でき、これにより不揮発性半導体メモリセル 20 における 1 ビットデータのデータ消去が可能である。

【0063】

また、選択された不揮発性半導体メモリセル 20 のデータ読み出しは、ワード線 $WL02$ に例えば $V_{wl} = 3.0V$ 、ビット線 $BL02$ に例えばデータ書き込み時の V_{bl} より低い $V_{bl} = 3.0V$ を印加し、選択されていないワード線 $WL00$ 、 $WL01$ 、 $WL03 \sim WL0n-1$ およびビット線 $BL00$ 、 $BL01$ 、 $BL03 \sim BL0n-1$ には、 $V_{wl} = V_{bl} = 0V$ に設定することによって、ビット線 $BL02$ を流れる BL 電流を、基準メモリセルであるリファレンスセルの BL 電流と比較して行えばよい。

【0064】

このように、本発明の半導体装置であるメモリアレイ 30 は、不揮発性半導体メモリセル 20 のアドレスに応じてワード線およびビット線を選択することにより MOS トランジスタが選択され、ビット線を介して可変抵抗素子 14 にデータ書き込み電圧またはデータ消去電圧を印加することにより、データ書き込み動作またはデータ消去動作を行う。

【0065】

これにより、メモリアレイ 30 は、多値情報の記憶が可能であるとともに、誤ってデータ書き込みが行われた場合でも、不揮発性半導体メモリセル 20 毎に誤って書き込まれたデータ（ビット）を 1 ビット単位でデータ消去が実行できるので高速（短時間）でデータ書き込みが可能となる。。

【0066】

次に、図2に示す本発明のメモリアレイに対するデータ書き込み制御方法を説明する。

【0067】

図3は、本発明の実施形態であるメモリアレイの第1のデータ書き込み制御方法を示すフローチャートである。

【0068】

まず、データ消去（イレース）状態の不揮発性半導体メモリセル20を選択し、選択された不揮発性半導体メモリセル20にデータ書き込みを開始する（ステップS101）。

【0069】

次に、第1データ書き込み（プログラム）電圧を以下に示す所定の条件に設定する（ステップS102）。

【0070】

① $V_{b1} = V_{10}$ （ビット線BLへの印加電圧）

② $V_{w1} = V_{11}$ （ワード線WLへの印加電圧）

③ $t = t_{11}$ （ V_{w1} および V_{b1} の電圧パルス幅）

例えば、 $V_{b1} = V_{10} = 5.0V$ 、 $V_{w1} = V_{11} = 3.0V$ 、 $t = t_{11} = 50$ ナノ秒である。

【0071】

次に、選択された不揮発性半導体メモリセル20に V_{w1} および V_{b1} の第1データ書き込み電圧を、電圧パルス幅 t_{11} の間印加する（ステップS103）。

【0072】

次に、第1データ書き込み電圧の印加後、データ書き込み（プログラム）された不揮発性半導体メモリセルの可変抵抗素子の抵抗値が所定の範囲内であるかベリファイ（検証）を行う（ステップS104）。ベリファイは、不揮発性半導体メモリセル20の可変抵抗素子の抵抗値を検証し、不揮発性半導体メモリセル20に期待値通りのデータ（情報）が書き込まれたかどうかを調べる工程である。

【0073】

データ書き込みされた不揮発性半導体メモリセル 20 の可変抵抗素子の抵抗値が所定の範囲内に入っていればデータ書き込みが終了である（ステップ S 105 および S 106）。

【0074】

データ書き込みされた不揮発性半導体メモリセル 20 の可変抵抗素子の抵抗値が所定の範囲を超えていると（ステップ S 107）、データ消去（イレース）電圧を以下に示す所定の条件に設定し、データ書き込みされた不揮発性半導体メモリセル 20 に印加する（ステップ S 108）。

【0075】

- ① $V_{bl} = V_{00}$ （ビット線 BL への印加電圧）
- ② $V_{wl} = V_{11}$ （ワード線 WL への印加電圧）
- ③ $t = t_{11}$ （ V_{wl} および V_{bl} の電圧パルス幅）

例えば、 $V_{bl} = V_{00} = -5.0\text{ V}$ 、 $V_{wl} = V_{11} = 3.0\text{ V}$ 、 $t = t_{11} = 50$ ナノ秒である。ここで、データ消去電圧の V_{bl} （ $= -5.0\text{ V}$ ）は、第 1 データ書き込み電圧の V_{bl} （ $= 5.0\text{ V}$ ）の極性と反対になる。

【0076】

次に、データ消去電圧の印加後、データ消去された不揮発性半導体メモリセル 20 の可変抵抗素子の抵抗値がデータ消去の範囲内であるかベリファイ（検証）を行う（ステップ S 109）。ベリファイは、不揮発性半導体メモリセル 20 の可変抵抗素子の抵抗値を検証し、不揮発性半導体メモリセル 20 が期待通りにデータ（情報）が消去されたかどうかを判定する工程である。

【0077】

次に、ベリファイされた不揮発性半導体メモリセル 20 の可変抵抗素子の抵抗値がデータ消去の範囲内に達しない場合には（ステップ S 109）、再度、不揮発性半導体メモリセル 20 にデータ消去電圧を印加し、ベリファイを行う（ステップ S 108～S 110）。そして、不揮発性半導体メモリセル 20 がデータ消去状態になるまで、この手順を繰り返す。その後、不揮発性半導体メモリセル 20 がデータ消去状態になると、不揮発性半導体メモリセル 20 に第 1 データ書き込み電圧を印加し、再度、データ書き込みを実行する。

【0078】

一方、データ書き込みされた不揮発性半導体メモリセル20の可変抵抗素子の抵抗値が所定の範囲以下であると（ステップS107）、再度、不揮発性半導体メモリセル20に対して、データ書き込みのためのデータ書き込み電圧の印加およびベリファイ動作を行う必要がある。

【0079】

この場合、第1データ書き込み電圧の V_{b1} を所定の電圧値（ ΔV ）、例えば0.5Vだけ増加させ、 $V_{b1} = 5.5V$ にする（ステップS111）。

【0080】

次に、第2データ書き込み電圧を以下に示す所定の条件に設定する（ステップS112）。

【0081】

$$\textcircled{1} V_{b1} = V_{01} + \Delta V$$

$$\textcircled{2} V_{w1} = V_{11}$$

$$\textcircled{3} t = t_{11}$$

例えば、 $V_{b1} = V_{10} + \Delta V = 5.5V$ 、 $V_{w1} = V_{11} = 3.0V$ 、 $t = t_{11} = 50$ ナノ秒である。

【0082】

次に、第2データ書き込み電圧の V_{b1} 、および、不揮発性半導体メモリセル20へのデータ書き込み（プログラム）回数が、共に最大値になるまでは（ステップS113およびS114）、不揮発性半導体メモリセル20の可変抵抗素子の抵抗値が所定の範囲内に達するようにステップS103～S114を繰り返す。

【0083】

次に、データ書き込み電圧の V_{w1} 、および、メモリセルへのデータ書き込み（プログラム）回数が、共に最大値に達すると（ステップS113およびS114）、不揮発性半導体メモリセル20へのデータ書き込みは失敗となる（ステップS115）。

【0084】

以上のように、本発明のメモリアレイの第1のデータ書き込み制御方法では、不揮発性半導体メモリセルの可変抵抗素子の抵抗値が所定の範囲を超えた場合でも、その不揮発性半導体メモリセルを含むブロック内の各データを他のブロックに移し変えること、および、ブロック内の各データを消去し、再びデータ書き込みを行うことを必要とせず、高速（短時間）でデータ書き込みが可能となる。

【0085】

図4は、本発明のメモリアレイの第2のデータ書き込み制御方法を示すフローチャートである。

【0086】

不揮発性半導体メモリセルを用いたメモリアレイの第2のデータ書き込み制御方法は、データ書き込みされた不揮発性半導体メモリセル20の可変抵抗素子の抵抗値が所定の範囲以下である場合（ステップS207）、再度、不揮発性半導体メモリセル20に対して、データ書き込みのためのデータ書き込み電圧の印加およびベリファイ動作を行う必要がある。

【0087】

この場合、2回目以降のデータ書き込み電圧の印加時間を前回のデータ書き込み電圧の印加時間より短くすることによって（ステップS211～212）、2回目以降のデータ書き込み電圧の V_{b1} の増加による不揮発性半導体メモリセル20の可変抵抗素子の抵抗値の変化量を高精度で制御できるとともに、データ書き込み時の消費電力の増加を抑制することができる。図4のフローチャートのステップS211に示すように、2回目以降のデータ書き込み電圧の印加時間 t を Δt （例えば5ナノ秒）だけ短くし、データ書き込み電圧の V_{b1} を ΔV （例えば0.5V）だけ増加させて行う。例えば、2回目のデータ書き込み条件は、 $V_{b1} = V_{10} + \Delta V = 5.5V$ 、 $V_{w1} = V_{11} = 3.0V$ 、 $t = t_{11} - \Delta t = 45$ ナノ秒である。

【0088】

図4に示すメモリアレイの第2のデータ書き込み制御方法は、ステップS211～212の手順における設定条件が異なる以外は、図3に示すメモリアレイの第1のデータ書き込み制御方法と同様である。

【0089】

また、図3および4に示すメモリアレイの第1および第2のデータ書き込み制御方法は、多値情報の記憶が可能な不揮発性半導体メモリセルに有効であるが、2値情報の記憶が可能な不揮発性半導体メモリセルに用いても同様の効果が得られる。

【0090】

図5は、本発明のメモリアレイの第3のデータ書き込み制御方法を示すフローチャートである。

【0091】

まず、データ消去（イレース）状態の不揮発性半導体メモリセル20を選択し、選択された不揮発性半導体メモリセル20にデータ書き込みを開始する（ステップS301）。

【0092】

次に、第1データ書き込み（プログラム）電圧を以下に示す所定の条件に設定する（ステップS302）。

【0093】

- ① $V_{b1} = V_{10}$ （ビット線BLへの印加電圧）
- ② $V_{w1} = V_{11}$ （ワード線WLへの印加電圧）
- ③ $t = t_{11}$ （ V_{w1} および V_{b1} の電圧パルス幅）

例えば、 $V_{b1} = V_{10} = 5.0\text{ V}$ 、 $V_{w1} = V_{11} = 3.0\text{ V}$ 、 $t = t_{11} = 50\text{ ナノ秒}$ である。

【0094】

次に、選択された不揮発性半導体メモリセル20に V_{w1} および V_{b1} の第1データ書き込み電圧を、電圧パルス幅 t_{11} の間印加する（ステップS303）。

【0095】

次に、第1データ書き込み電圧の印加後、データ書き込み（プログラム）された不揮発性半導体メモリセルの可変抵抗素子の抵抗値が所定の範囲内であるかベリファイ（検証）を行う（ステップS304）。ベリファイは、不揮発性半導体

メモリセル 20 の可変抵抗素子の抵抗値を検証し、不揮発性半導体メモリセル 20 に期待値通りのデータ（情報）が書き込まれたかどうかを調べる工程である。

【0096】

データ書き込みされた不揮発性半導体メモリセル 20 の可変抵抗素子の抵抗値が所定の範囲内に入っていればデータ書き込みが終了である（ステップ S305 および S306）。

【0097】

次に、データ書き込みされた不揮発性半導体メモリセル 20 の可変抵抗素子の抵抗値が所定の範囲を超えると、不揮発性半導体メモリセル 20 へのデータ書き込みは失敗となる（ステップ S307 および S315）。

【0098】

一方、データ書き込みされた不揮発性半導体メモリセル 20 の可変抵抗素子の抵抗値が所定の範囲以下であると（ステップ S307）、再度、不揮発性半導体メモリセル 20 に対して、データ書き込みのためのデータ書き込み電圧の印加およびベリファイ動作を行う必要がある。

【0099】

この場合、第 1 データ書き込み電圧の V_{b1} を所定の電圧値（ ΔV ）、例えば 0.5 V だけ増加させ、 $V_{b1} = 5.5$ V にする（ステップ S311）。

【0100】

次に、第 2 データ書き込み電圧を以下に示す所定の条件に設定する（ステップ S312）。

【0101】

$$\textcircled{1} V_{b1} = V_{10} + \Delta V$$

$$\textcircled{2} V_{w1} = V_{11}$$

$$\textcircled{3} t = t_{11}$$

例えば、 $V_{b1} = V_{10} + \Delta V = 5.5$ V、 $V_{w1} = V_{11} = 3.0$ V、 $t = t_{11} = 50$ ナノ秒である。

【0102】

次に、第 2 データ書き込み電圧の V_{b1} 、および、不揮発性半導体メモリセル

20へのデータ書き込み（プログラム）回数が、共に最大値になるまでは（ステップS313およびS314）、不揮発性半導体メモリセル20の可変抵抗素子の抵抗値が所定の範囲内に達するようにステップS303～S314を繰り返す。

【0103】

次に、データ書き込み電圧の V_{w1} 、および、メモリセルへのデータ書き込み（プログラム）回数が、共に最大値に達すると（ステップS113およびS114）、不揮発性半導体メモリセル20へのデータ書き込みは失敗となる（ステップS115）。

【0104】

図5に示す本発明のメモリアレイの第3のデータ書き込み制御方法は、不揮発性半導体メモリセル20の可変抵抗素子の抵抗値が所定の範囲を超えると、データ書き込みが失敗になるように設定されている。

【0105】

この場合、不揮発性半導体メモリセル20から構成されるメモリアレイ30は、誤ってデータ書き込みされた不揮発性半導体メモリセル20をメモリアレイ30に対するデータ書き込みの終了後に、誤ってデータ書き込みされた不揮発性半導体メモリセル20のみのデータを消去して、再度、その不揮発性半導体メモリセル20のみにデータ書き込みを実行することが可能である。

【0106】

これに対して、従来のフラッシュメモリでは、1ビット単位でのデータ消去ができないため、本発明の第3のデータ書き込み制御方法を用いることができない。このため、従来のフラッシュメモリは、ブロック毎にデータ消去を行い、データ消去の必要のない所定のブロック内のデータ（情報）を一度別のブロックにデータ書き込みを行い、所定のブロック内のデータを消去した後、再度、この所定のブロックにデータ書き込みを行う必要があり、データ書き込み時間が非常に長くなる。

【0107】

これにより、不揮発性半導体メモリセル20を用いたメモリアレイ30の第3

のデータ書き込み制御方法は、従来のフラッシュメモリのデータ書き込み方法と比較して、誤ってデータ書き込みされた不揮発性半導体メモリセル 20 のみに正しいデータ書き込みが可能となり、データ書き込み時間の短縮が図れる。

【0108】

図6は、本発明のメモリアレイの第4のデータ書き込み制御方法を示すフローチャートである。

【0109】

不揮発性半導体メモリセルを用いたメモリアレイの第4のデータ書き込み制御方法は、データ書き込みされた不揮発性半導体メモリセル 20 の可変抵抗素子の抵抗値が所定の範囲以下である場合（ステップ S 407）、再度、不揮発性半導体メモリセル 20 に対して、データ書き込みのためのデータ書き込み電圧の印加およびベリファイ動作を行う必要がある。

【0110】

この場合、2回目以降のデータ書き込み電圧の印加時間を前回のデータ書き込み電圧の印加時間より短くすることによって（ステップ S 411～412）、2回目以降のデータ書き込み電圧の V_{b1} の増加による不揮発性半導体メモリセル 20 の可変抵抗素子の抵抗値の変化量を高精度で制御できるとともに、データ書き込み時の消費電力の増加を抑制することができる。図6のフローチャートのステップ S 511 に示すように、2回目以降のデータ書き込み電圧の印加時間 t を Δt （例えば5ナノ秒）だけ短くし、データ書き込み電圧の V_{b1} を ΔV （例えば0.5V）だけ増加させて行う。例えば、2回目のデータ書き込み条件は、 $V_{b1} = V_{10} + \Delta V = 5.5V$ 、 $V_{w1} = V_{11} = 3.0V$ 、 $t = t_{11} - \Delta t = 45$ ナノ秒である。

【0111】

図6に示す本発明のメモリアレイの第4のデータ書き込み制御方法は、ステップ S 411～412 の手順における設定条件が異なる以外は、図5に示す本発明のメモリアレイの第3のデータ書き込み制御方法と同様である。

【0112】

また、図5および6に示すメモリアレイの第3および第4のデータ書き込み制

御方法は、多値情報の記憶が可能な半導体記憶装置である不揮発性半導体メモリセルに有効であるが、2値情報の記憶が可能な不揮発性半導体メモリセルに用いても同様の効果が得られる。

【0113】

ここで、本発明の半導体記憶装置であるメモリアレイ30には、通常、ビット線に対して駆動電圧を印加するビット線駆動回路と、ワード線に対して駆動電圧を印加するワード線駆動回路と、ビット線駆動回路およびワード線駆動回路の動作をコントロール回路と、ビット線駆動回路およびワード線駆動回路にデータ書き込み、データ消去およびデータ読み出しの電圧を供給する電源回路と、データ読み出し時に、データ読み出しが行われる不揮発性半導体メモリセルの電流値を、基準となるリファレンスセルの電流値と比較するセンス回路とが接続されている（図示せず）。そして、メモリアレイ30は、ビット線駆動回路およびワード線駆動回路から供給される入力アドレス情報に対応して、所定の不揮発性半導体メモリセルを選択し、データ書き込み、データ消去およびデータ読み出しのメモリ動作を実行する。

【0114】

【発明の効果】

本発明の半導体記憶装置は、入力アドレス情報に対応したメモリセルが、一対の電極間に印加される電圧値によって、電極間の抵抗値が可逆的に変化し、電圧印加後も該抵抗値を保持する可変抵抗素子と、可変抵抗素子に接続されたMOSトランジスタとを有することにより、メモリセル毎にデータ消去が可能であるとともに、データ書き込みが高速（短時間）および高精度で実行できる。

【図面の簡単な説明】

【図1】

本発明の半導体記憶装置に用いるメモリセルの模式図である。

【図2】

本発明の実施形態の半導体記憶装置であるメモリアレイの一例を示す構成図である。

【図3】

本発明の半導体記憶装置であるメモリアレイの第1のデータ書き込み制御方法を示すフローチャートである。

【図4】

本発明の半導体記憶装置であるメモリアレイの第2のデータ書き込み制御方法を示すフローチャートである。

【図5】

本発明の半導体記憶装置であるメモリアレイの第3のデータ書き込み制御方法を示すフローチャートである。

【図6】

本発明の半導体記憶装置であるメモリアレイの第4のデータ書き込み制御方法を示すフローチャートである。

【図7】

ペロブスカイト型結晶構造を有する材料のパルス電圧の印加回数による抵抗値の変化を示すグラフである。

【図8】

従来のフラッシュメモリのメモリセルの模式的な断面図である。

【図9】

図8に示すメモリセルのデータ書き込み時の電圧条件を表す模式図である。

【図10】

従来の2値フラッシュメモリ内に設けられたメモリセルの閾値電圧の分布を示すグラフである。

【図11】

従来の多値フラッシュメモリ内に設けられたメモリセルの閾値電圧の分布の一例を示すグラフである。

【図12】

従来のフラッシュメモリにデータ書き込み（プログラム）を行う場合のフローチャートである。

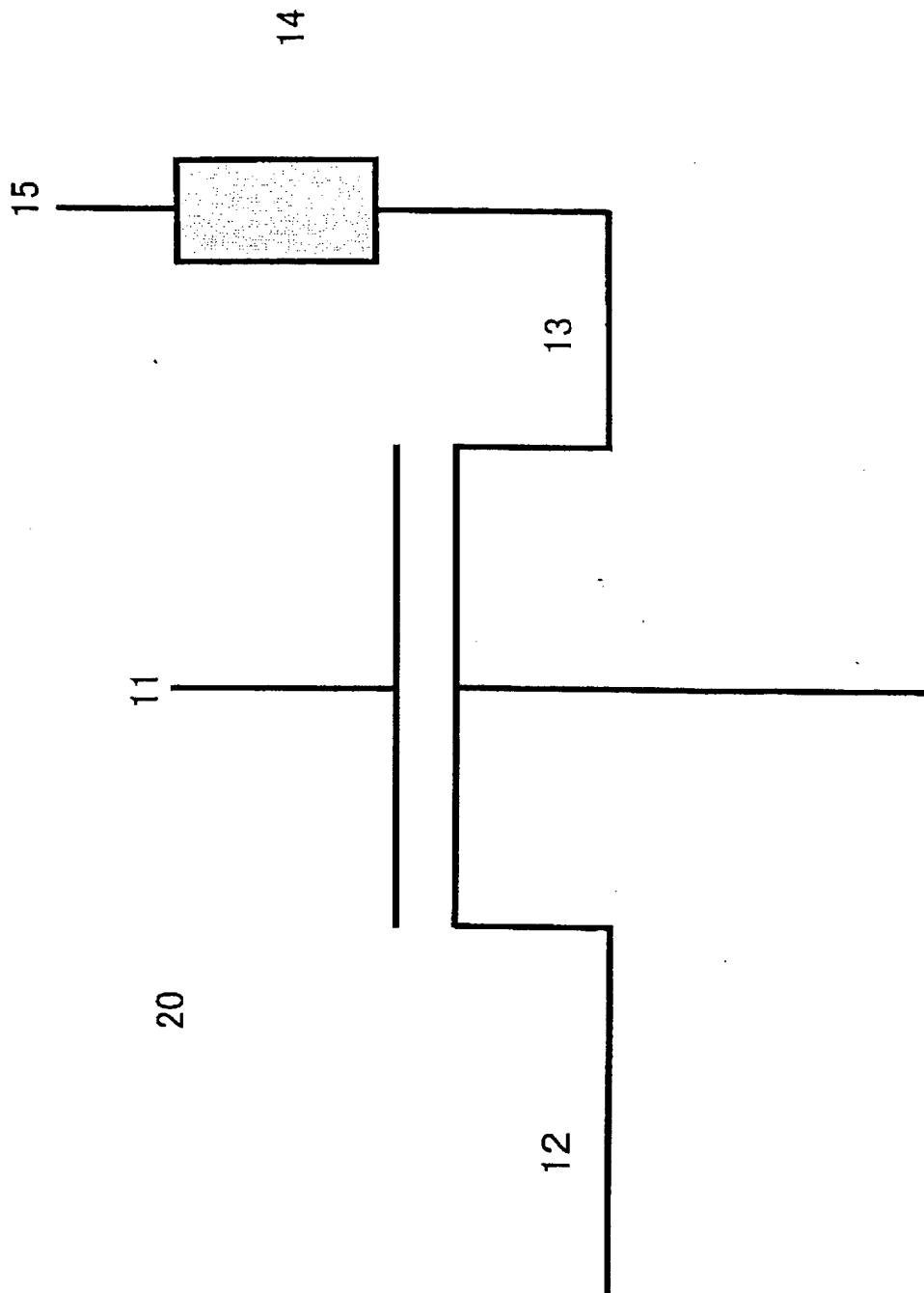
【符号の説明】

11 ゲート電極

- 1 2 ソース領域
- 1 3 ドレイン領域
- 1 4 可変抵抗素子
- 1 5 可変抵抗素子の一方の端子
- 2 0 不揮発性半導体メモリセル
- 3 0 メモリアレイ
- 1 0 0 メモリセル
- 1 0 1 半導体基板
- 1 0 2 ドレイン領域
- 1 0 3 ソース領域
- 1 0 4 第 1 絶縁層
- 1 0 5 浮遊ゲート
- 1 0 6 第 2 絶縁層
- 1 0 7 制御ゲート

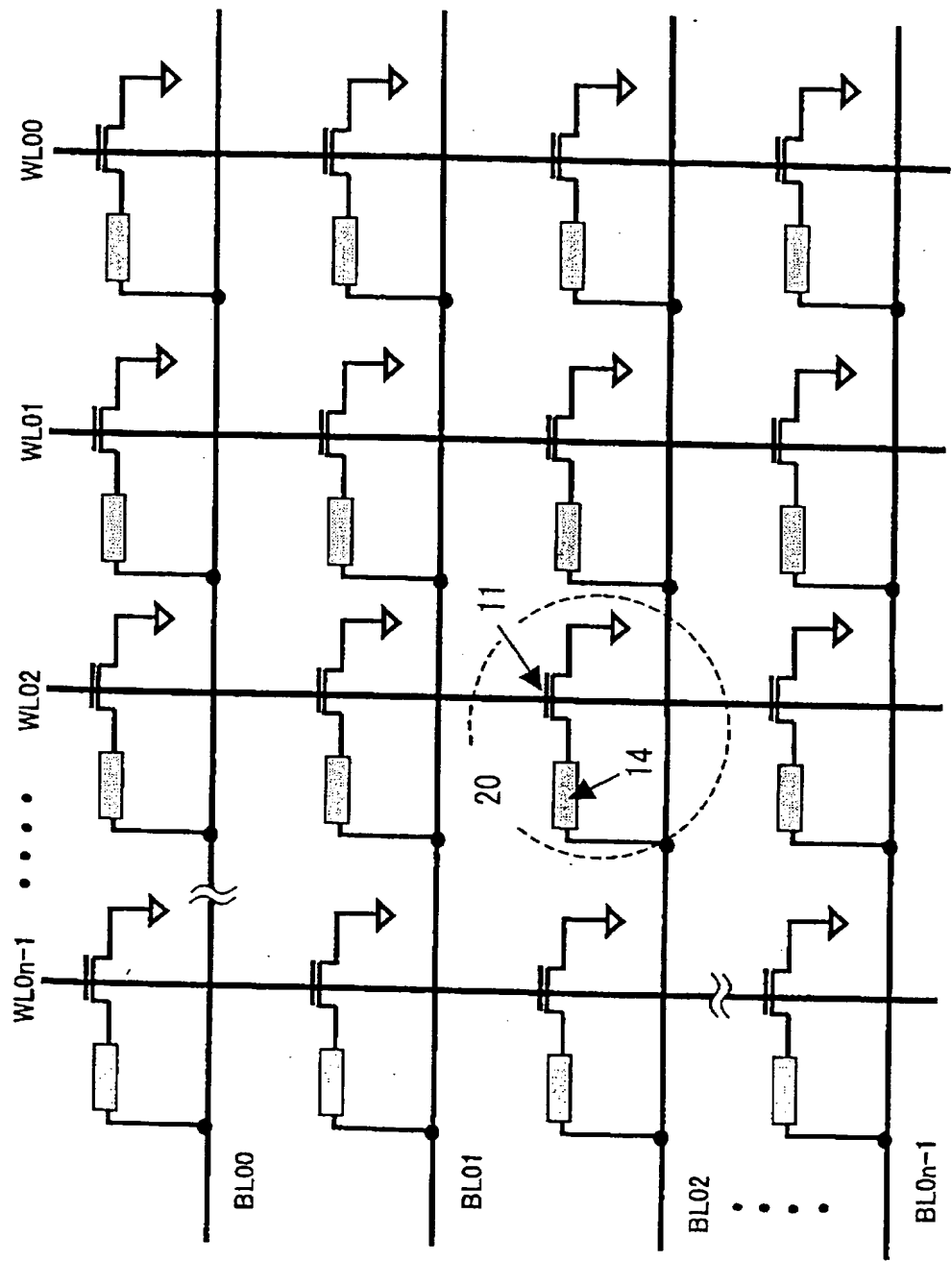
【書類名】 図面

【図 1】

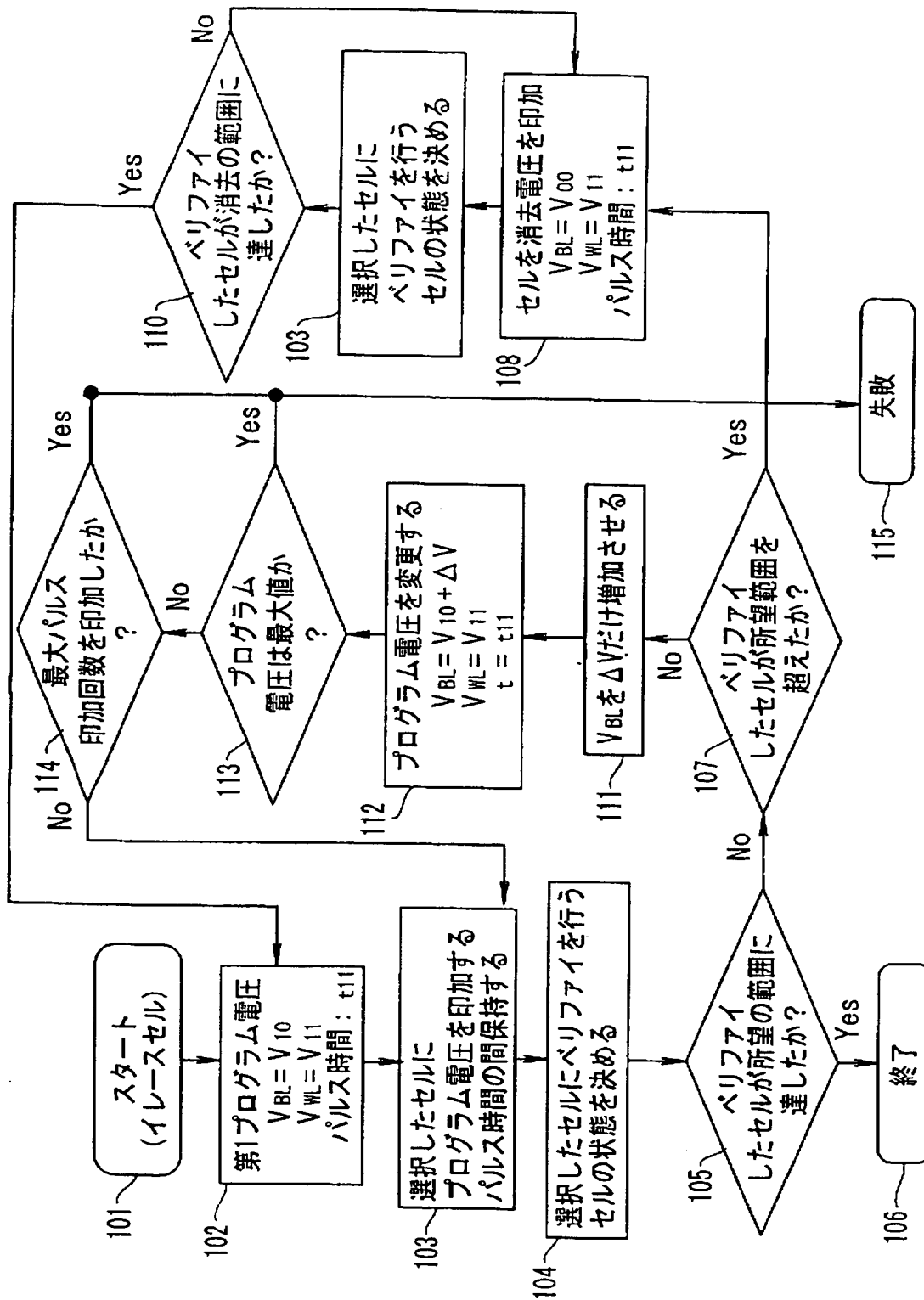


【図 2】

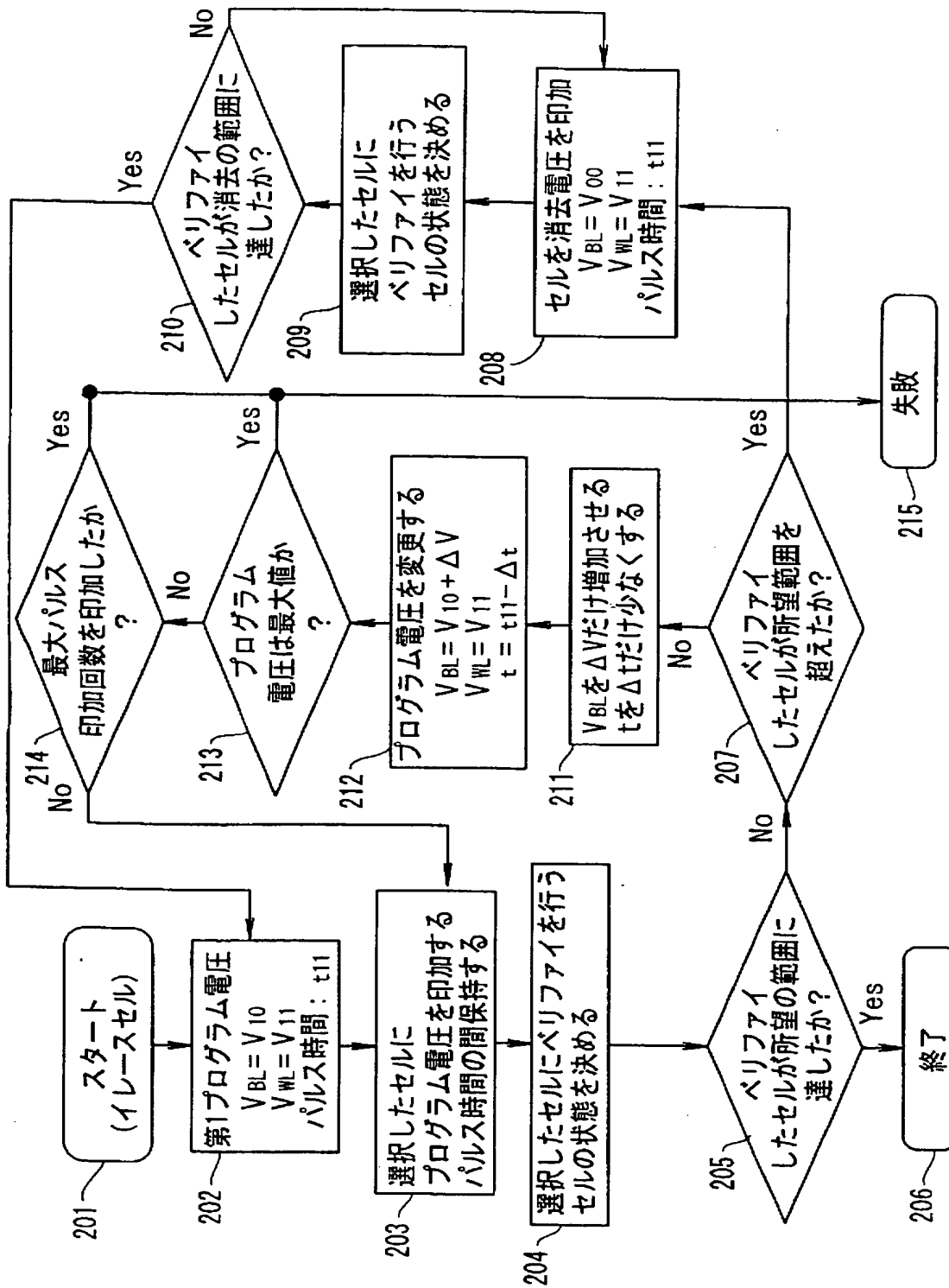
30



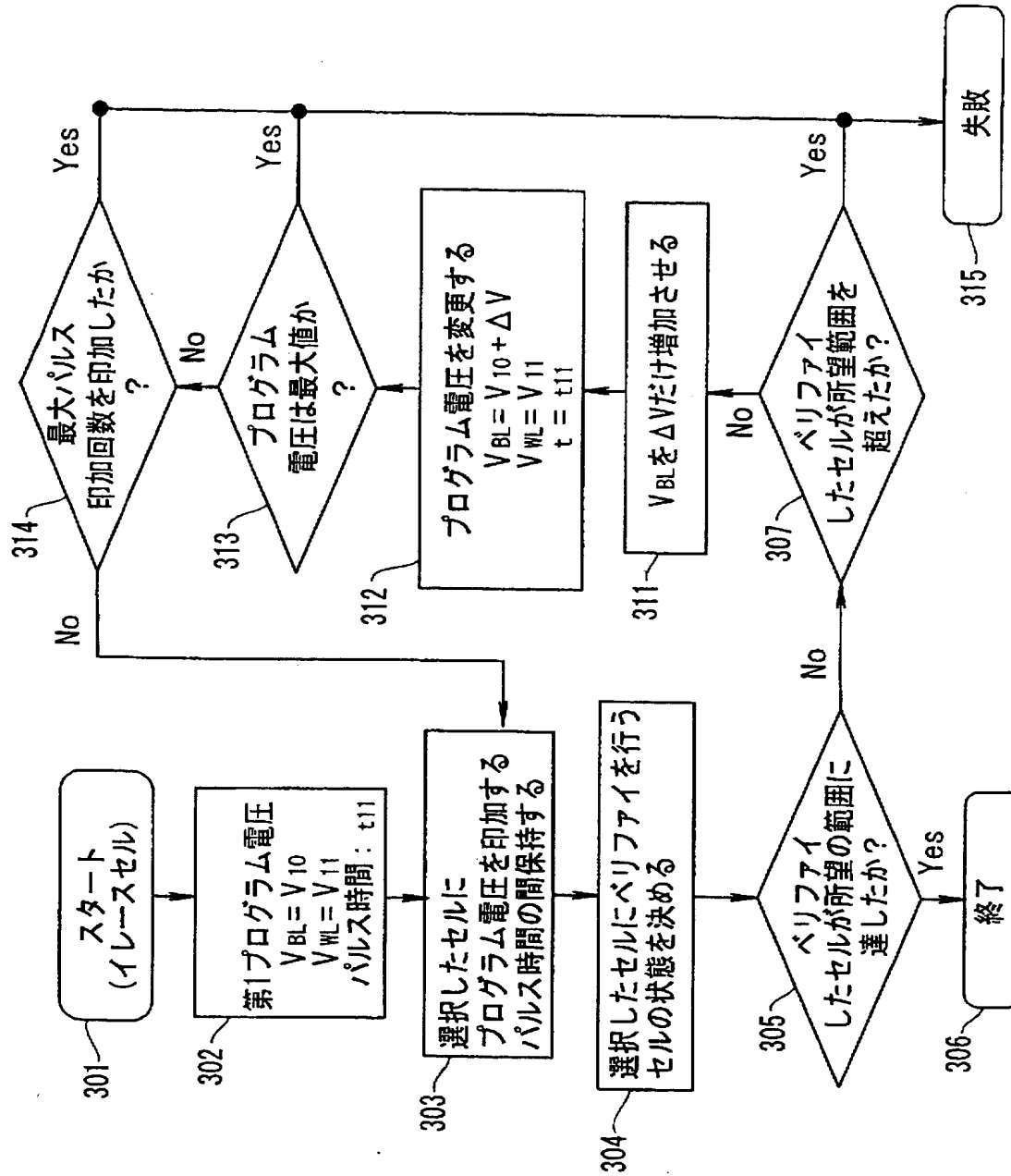
【図 3】



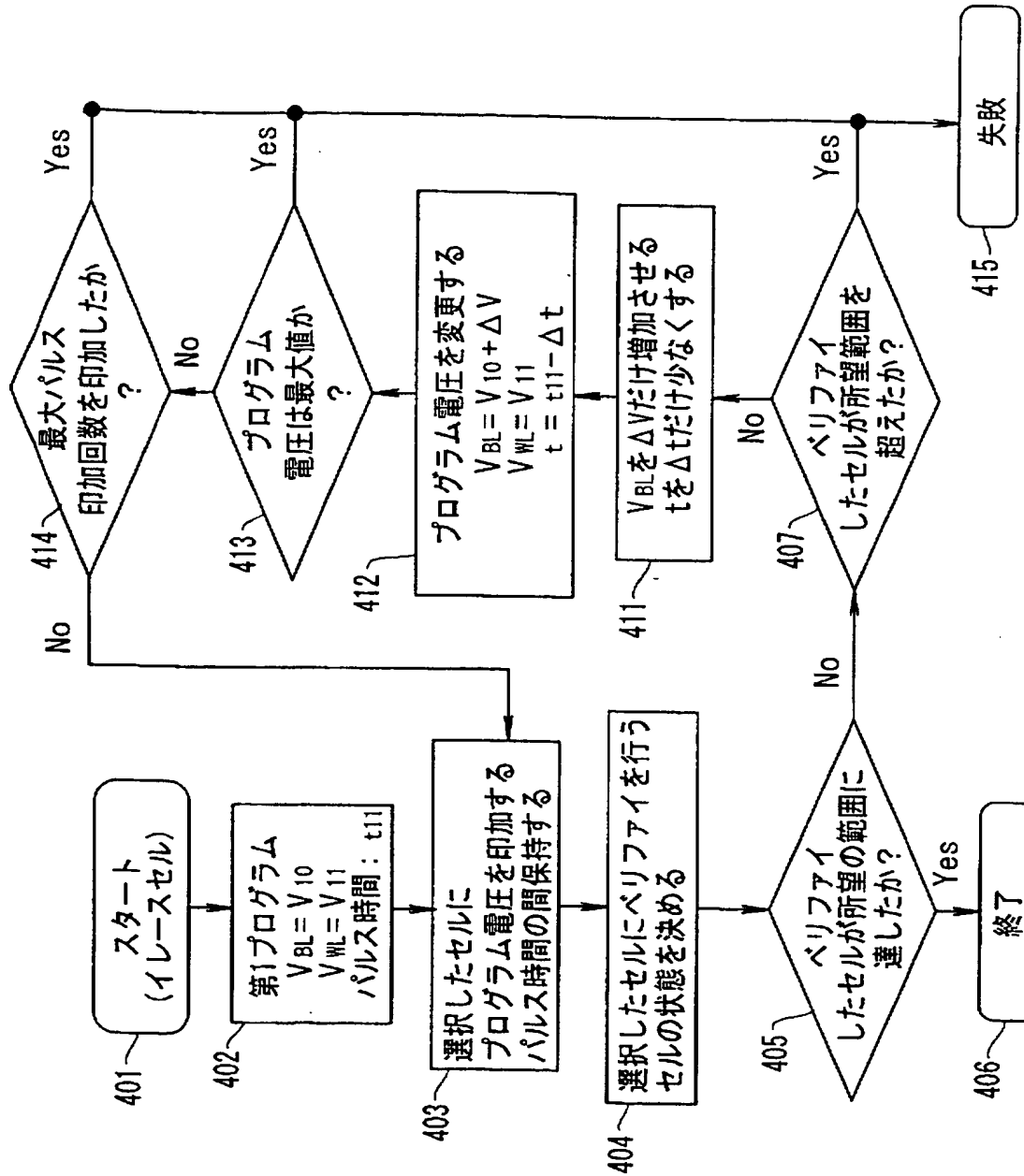
【図 4】



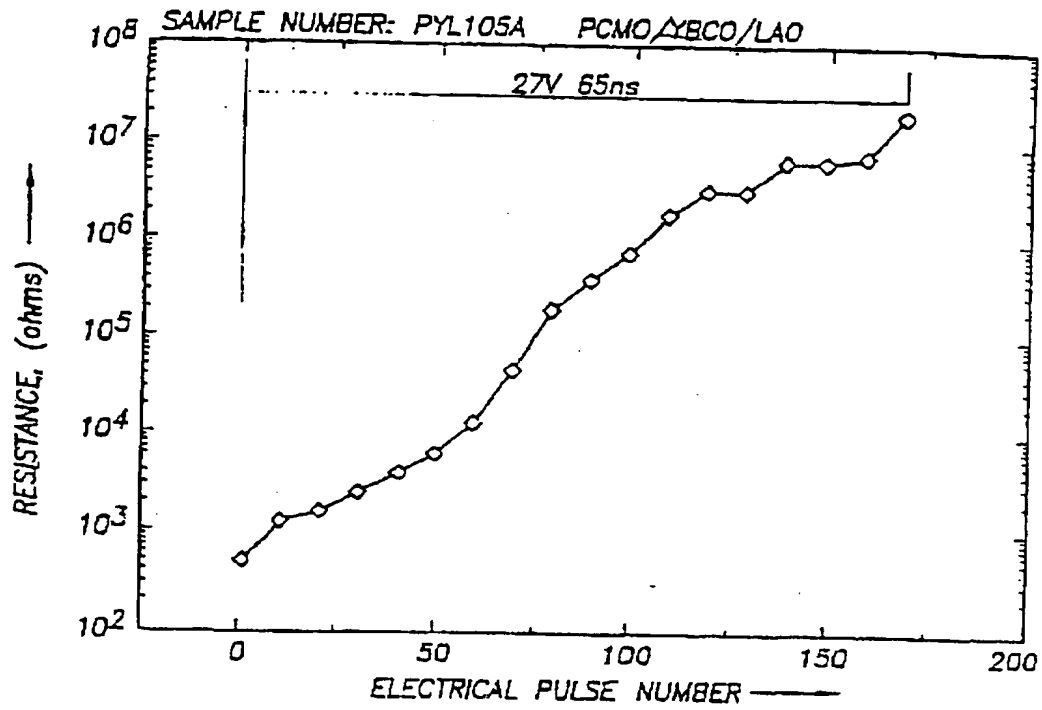
【図 5】



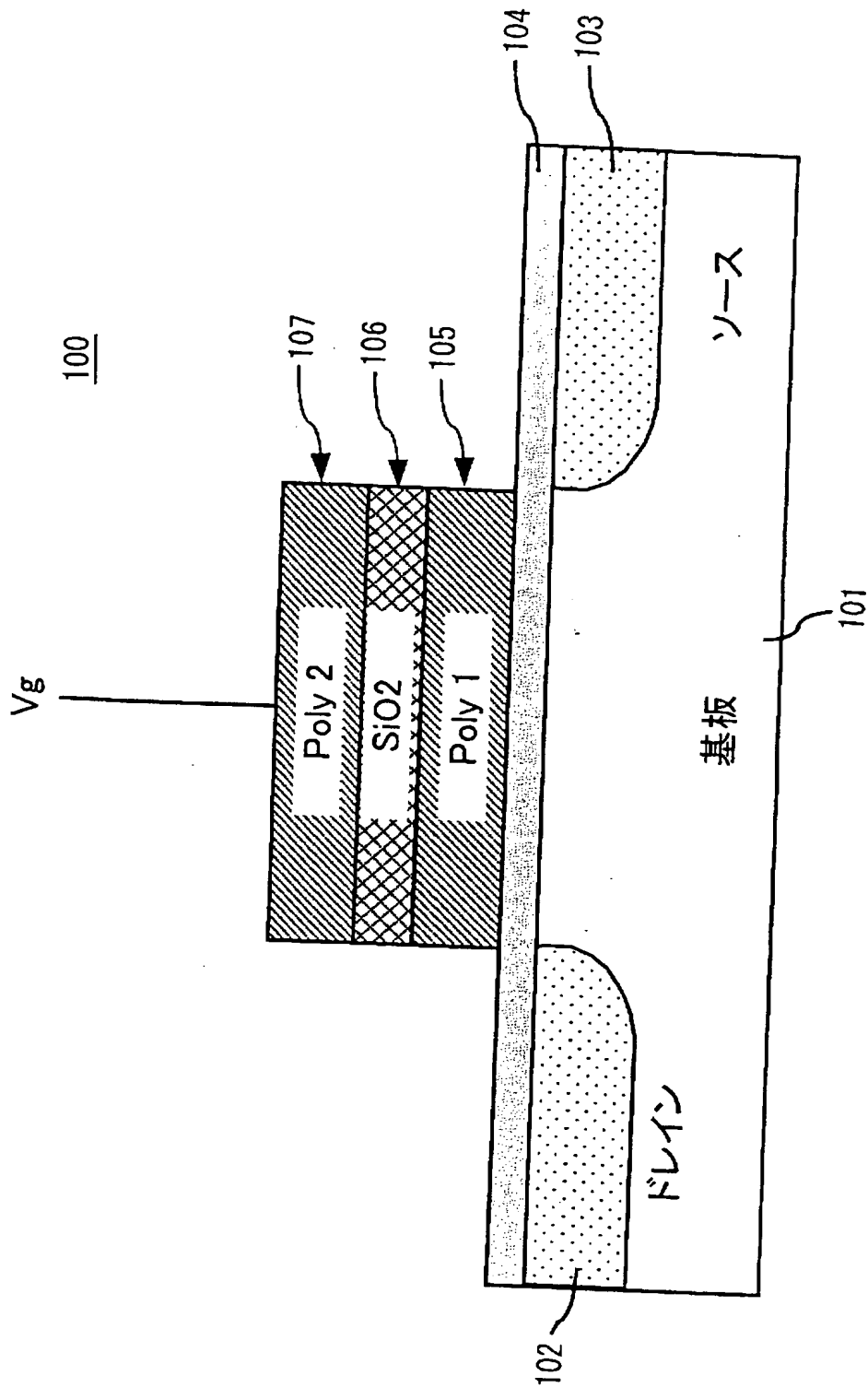
【図 6】



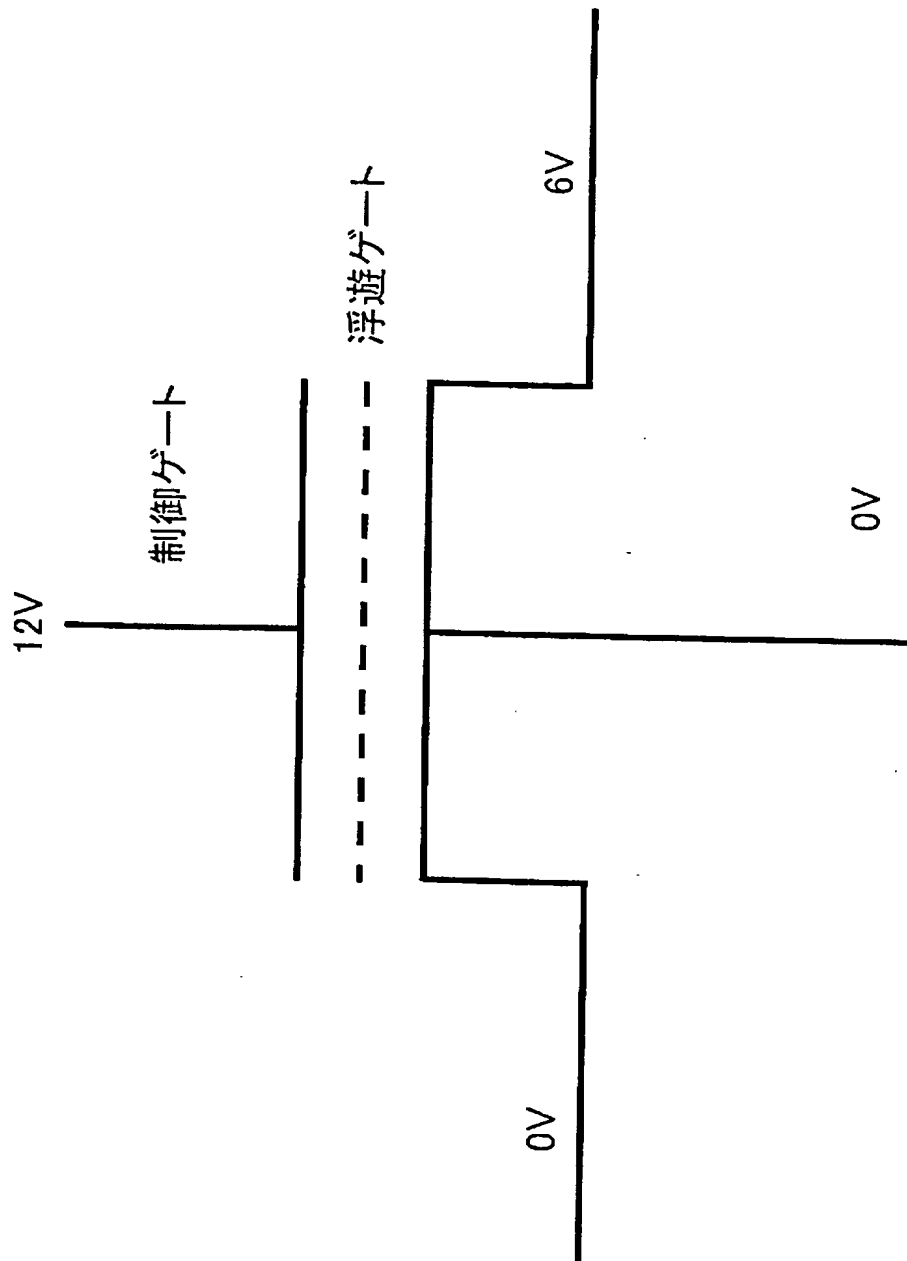
【図 7】



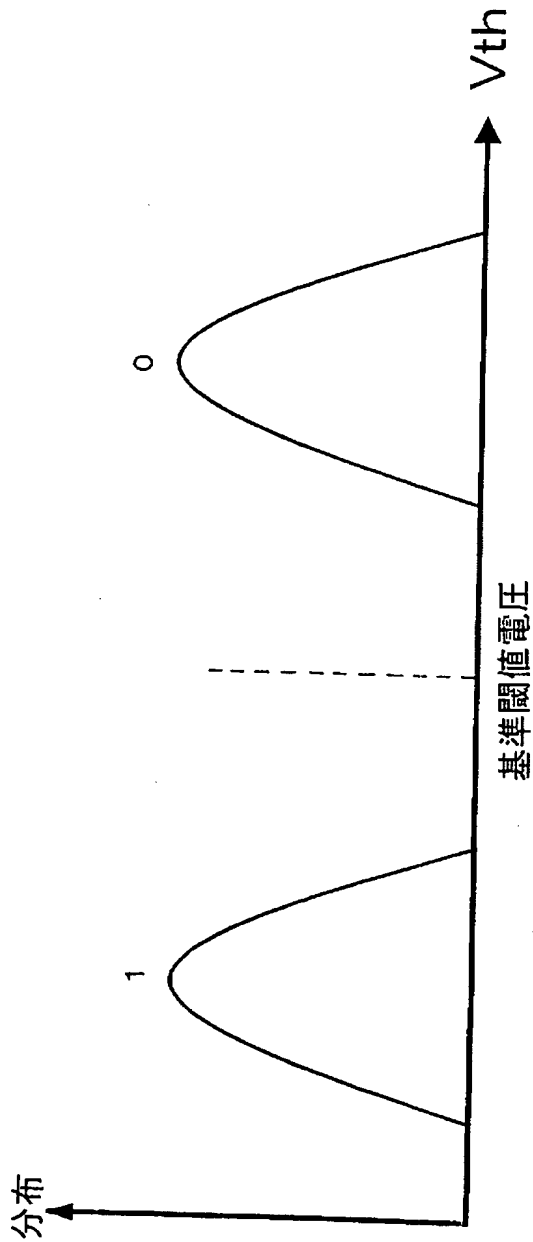
【図 8】



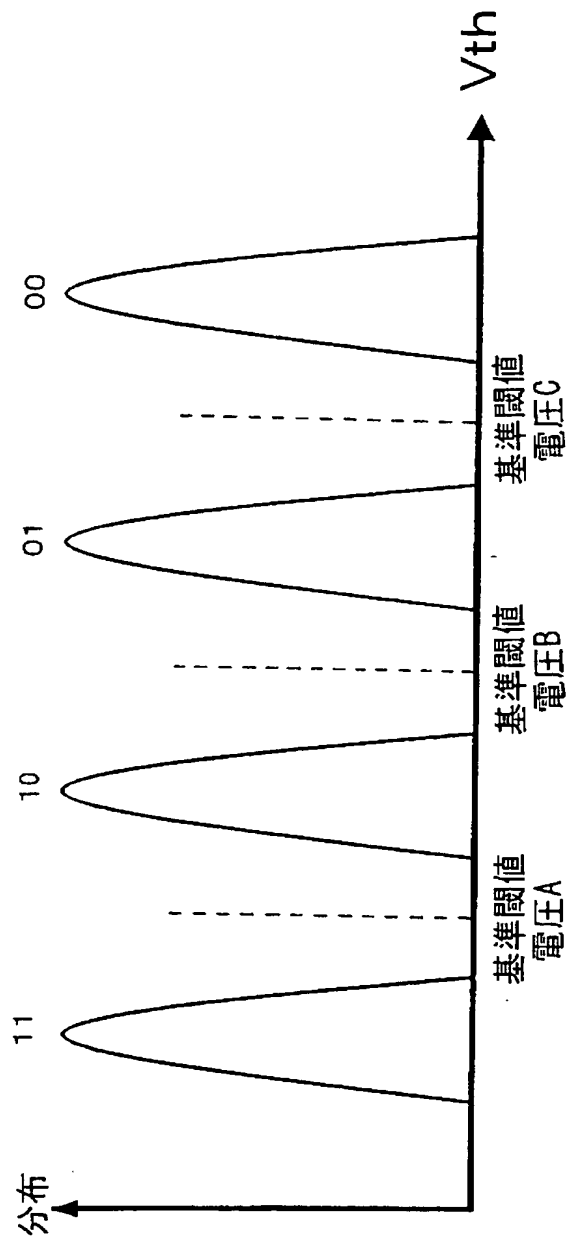
【図 9】



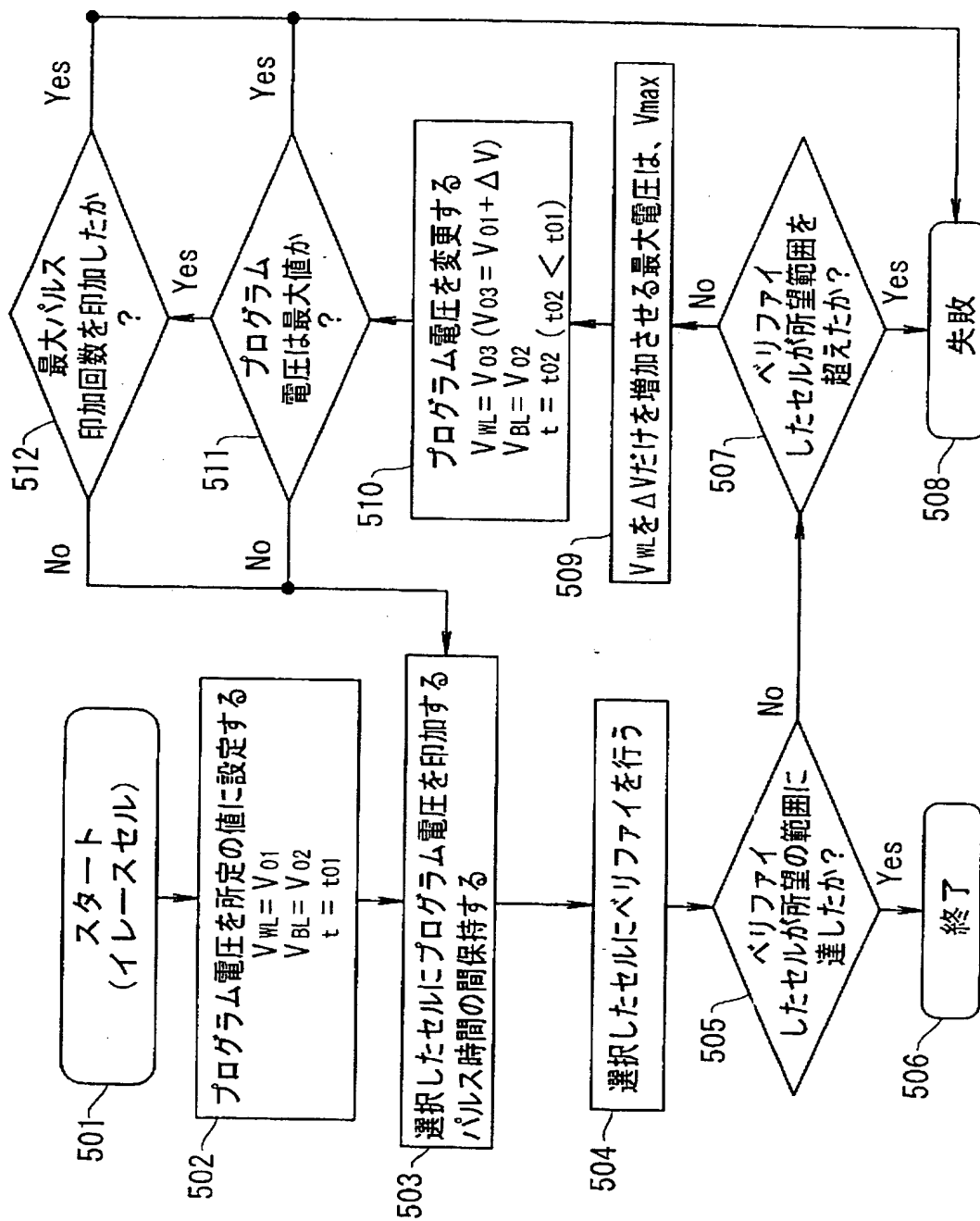
【図 1 0】



【図 11】



【図 12】





【書類名】 要約書

【要約】

【課題】 メモリセル毎にデータ消去が可能であり、データ書き込みが高速（短時間）および高精度で実行できる。

【解決手段】 入力アドレス情報に対応した不揮発性半導体メモリセル 2 0 は、一対の電極間に印加される電圧値によって、電極間の抵抗値が可逆的に変化し、電圧印加後も抵抗値を保持するペロブスカイト型結晶構造を有する材料から成る可変抵抗素子 1 4 と、その可変抵抗素子 1 4 と駆動領域であるドレイン領域 1 3 とが接続された MOS トランジスタとを有する。

【選択図】 図 2

認定・付加情報

特許出願の番号 特願 2002-351832
受付番号 50201832167
書類名 特許願
担当官 第七担当上席 0096
作成日 平成14年12月 4日

<認定情報・付加情報>

【特許出願人】

【識別番号】 000005049

【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号

【氏名又は名称】 シャープ株式会社

【代理人】 申請人

【識別番号】 100078282

【住所又は居所】 大阪市中央区域見1丁目2番27号 クリスタル
タワー15階

【氏名又は名称】 山本 秀策

【選任した代理人】

【識別番号】 100062409

【住所又は居所】 大阪府大阪市中央区域見1丁目2番27号 クリ
スタルタワー15階 山本秀策特許事務所

【氏名又は名称】 安村 高明

【選任した代理人】

【識別番号】 100107489

【住所又は居所】 大阪市中央区域見一丁目2番27号 クリスタル
タワー15階 山本秀策特許事務所

【氏名又は名称】 大塩 竹志

次頁無

特願 2 0 0 2 - 3 5 1 8 3 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社